

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
18. August 2005 (18.08.2005)

PCT

(10) Internationale Veröffentlichungsnummer
WO 2005/076344 A1

(51) Internationale Patentklassifikation⁷: **H01L 21/762**,
21/764

(21) Internationales Aktenzeichen: PCT/DE2005/000197

(22) Internationales Anmeldedatum:
5. Februar 2005 (05.02.2005)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:
10 2004 005 804.0 6. Februar 2004 (06.02.2004) DE

(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme
von US): **X-FAB SEMICONDUCTOR FOUNDRIES
AG** [DE/DE]; Haarbergstrasse 67, 99097 Erfurt (DE).

(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): **FREYWALD, Karl-
heinz** [DE/DE]; Ammertalweg 9, 99086 Erfurt (DE).

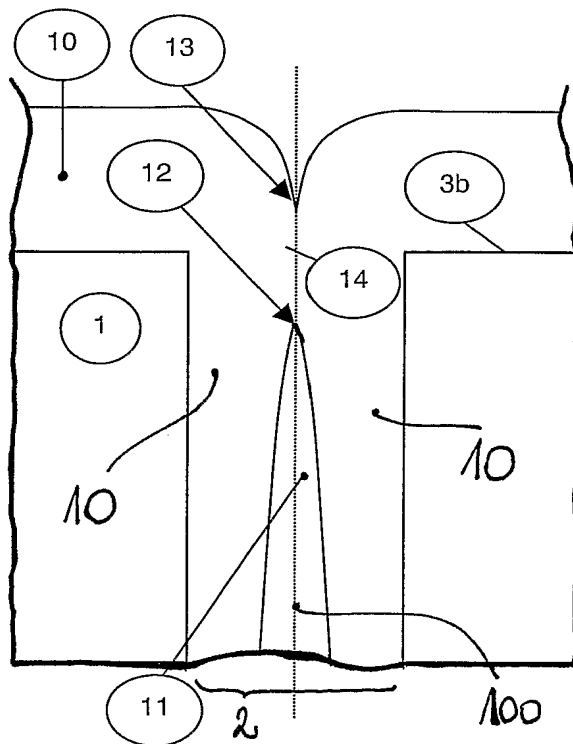
(74) Anwälte: **LEONHARD OLGEMOELLER FRICKE**
usw.; Postfach 10 09 62, 80083 München (DE).

(81) Bestimmungsstaaten (soweit nicht anders angegeben, für
jede verfügbare nationale Schutzrechtsart): AE, AG, AL,
AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH,
CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES,
FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE,
KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD,
MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG,
PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM,

[Fortsetzung auf der nächsten Seite]

(54) Title: FILLING OF INSULATION TRENCHES USING CMOS-STANDARD PROCESSES FOR CREATING DIELECTRICALLY INSULATED AREAS ON A SOI DISK

(54) Bezeichnung: VERFÜLLUNG VON ISOLATIONSGRÄBEN UNTER NUTZUNG VON CMOS-STANDARDPROZESSEN ZUR REALISIERUNG DIELEKTRISCH ISOLIERTER GEBIETE AUF EINER SOI SCHEIBE



(57) Abstract: The method is used for dielectrical separation of areas having different potentials from component structures, whereby a hollow cavity (11), which is created by filling the insulation trench therein with an insulator in order to create a hermetically tight closure of the hollow cavity below the level of the semiconductor disk surface (4b, 3a, 3b), is formed and planarization is carried out on the filling of the trench following on from the hollow cavity (11). A series of CMOS method steps are carried out after the trench has been produced. SiO₂ layers (7, 7", 7a) which become thicker in the direction of the upper edges of the trench are produced according to a first CVD method; the SiO₂-layer sections are subsequently fully removed from the upper area of the trench until a defined depth is obtained, in order to determine a later closure point (12) of the hollow cavity (11). The hollow cavity (11) is then closed. The trench is filled by depositing a second SiO₂-layer (10) with the aid of a low-pressure CVD method until a tip of an indentation (13) in the second oxide layer comes to rest above the level of the surface (4b, 3a, 3b). Later planarization prevents the hollow cavity from being opened.

[Fortsetzung auf der nächsten Seite]

WO 2005/076344 A1



TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) **Bestimmungsstaaten** (soweit nicht anders angegeben, für jede verfügbare regionale Schutzrechtsart): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), europäisches (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Erklärung gemäß Regel 4.17:

— *Erfindererklärung (Regel 4.17 Ziffer iv) nur für US*

Veröffentlicht:

— *mit internationalem Recherchenbericht*

Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

(57) **Zusammenfassung:** Das Verfahren dient der dielektrischen Trennung von Gebieten unterschiedlicher Potentiale von Bauelementstrukturen unter Ausbildung eines durch die Isolatorfüllung des Trenngrabens innerhalb desselben gebildeten Hohlraums (11) mit einem hermetisch dichten Verschluss des Hohlraums unterhalb des Niveaus der Halbleiterscheibenoberfläche (4b, 3a, 3b) und eine an die Füllung des Grabens mit dem Hohlraum (11) anschließender Planarisierung. Mit einer nach der Herstellung des Grabens nachfolgenden Reihe von CMOS-Verfahrensschritten. In Richtung zu den oberen Grabenkanten hin sich verdickende SiO₂-Schichten (7, 7", 7a) werden mit einem ersten CVD-Verfahren hergestellt, einer anschließenden vollständigen Entfernung der SiO₂-Schichtabschnitte im oberen Grabenbereich bis in eine definierte Tiefe, um einen späteren Verschlusspunkt (12) des Hohlraums (11) zu bestimmen. Es folgt ein Schliessen des Hohlraums (11). Ein Auffüllen des Grabens durch Abscheidung einer zweiten SiO₂-Schicht (10) mit einem Niederdruck-CVD-Verfahren erfolgt so weit, dass eine Spitze einer Einkerbung (13) der zweiten Oxidschicht über dem Niveau der Oberfläche (4b, 3a, 3b) zu liegen kommt. Ein späteres Planarisieren öffnet den Hohlraum nicht mehr.

Verfüllung von Isolationsgräben unter Nutzung von CMOS-Standardprozessen zur Realisierung dielektrisch isolierter Gebiete auf einer SOI Scheibe

Die Erfindung betrifft ein Verfahren zur Herstellung von verfüllten Isolationsgräben in Silizium unter Nutzung von CMOS-Standardprozessen zur Realisierung dielektrisch isolierter Gebiete (Isoliergräben; Trenngräben) auf einer SOI-Scheibe. Dabei soll zum Verfüllen ausschließlich Siliziumdioxid verwendet werden. Das Verfahren führt zu hermetisch verschlossenen Hohlräumen im Graben. Diese verbleibenden Hohlräume sind bezüglich der Reduzierung von elastischen Spannungen vorteilhaft. Das Verfahren erreicht die Verfüllung für Gräben mit kleinem bis zu sehr großem Aspektverhältnis und mit verschiedenen Winkeln der Seitenwände.

Die gewöhnlichen Trenngräben zur dielektrischen Isolation von verschiedenen Schaltungsteilen erfüllen im allgemeinen nicht die Anforderungen von mikroelektromechanischen Systemen (MEMS) in Bezug auf Stressminimierung und Einsatz eines gleichartigen Verfüllmaterials, das bei Bedarf nachträglich auch wieder hoch selektiv gegenüber Silizium an definierten Stellen entfernt werden kann.

Die meisten bekannten Verfahren gehen davon aus, verbleibende Hohlräume zu vermeiden. Das geschieht dadurch, dass Engstellen bei der Grabenverfüllung entweder vermieden werden (V-förmige Grabenprofile, spezielle Abscheideverfahren) oder aufgetretene Engstellen wieder durch gezieltes Rückätzen entfernt werden.

Die Verhinderung von Hohlräumen wird beispielsweise durch eine V-förmige Grabengeometrie mit spezieller Kantengestaltung ermöglicht, vgl. **US-A 6,180,490**. Auch in diesem Fall ist das Aspektverhältnis des zu verfüllenden Grabens begrenzt.

Andere bekannte Methoden zur Grabenisolation von Halbleiterbauelementen in einer Halbleiterschicht einer SOI-Scheibe nutzen flache Gräben, die in den meisten Fällen frei von Hohlräumen sein sollen. In **US-A 6,261,921** wird ein solches Verfahren beschrieben, das für flache Gräben anwendbar ist, einen V-förmigen Graben verwendet, und zur zusätzlichen Kantenrücksetzung eine Siliziumnitridschicht verwendet.

In **US-A 2002/0076915** wird eine Verfüllung mit Polysilizium, das auf einer Isolierschicht abgeschieden wird, beschrieben. Dieses Verfahren wird für SOI-Scheiben zur

Herstellung von integrierten Schaltungen angewendet, erlaubt aber ebenfalls keine hohen Aspektverhältnisse des zu verfüllenden Grabens. Als Besonderheit wird hier ein Aufweiten der Grabenöffnung durch Rückätzen von überstehendem Material an der Grabenöffnung, das sich bei der Verfüllung ungewollt bildet, zur Vermeidung von Hohlräumen beschrieben.

Ein ähnliches Verfahren, jedoch für Gräben im Halbleiter (keine SOI-Scheibe) wird für sehr flache Gräben mit einer Tiefe von weniger als 1 μm in **US-A 6,140,207** beschrieben. Hier wird ebenfalls eine Aufweitung der Grabenöffnung durch eine Schräge im Silizium realisiert.

In **US-A 5,872,058** wird ein spezielles Abscheideverfahren für eine dielektrische Isolierschicht (SiO_2 oder ein anderes Material) angegeben. Dieses Verfahren nutzt spezielle Abscheidebedingungen wobei die Abscheiderate und die Ätzrate mit unterschiedlichen Gaskonzentrationen so eingestellt werden, dass Engstellen im Graben beim Verfüllen vermieden werden, und so eine weitgehend hohlraumfreie Verfüllung von Gräben ermöglicht wird. Das Aspektverhältnis wird mit 3:1 oder größer angegeben. Ein Verfüllen von A-förmigen Grabenstrukturen erscheint auch hier nicht ohne bleibende Hohlräume möglich.

Zweck der Erfindung ist die kostensparende Realisierung von dielektrisch isolierten Trenngräben (Isolationsgräben) im Rahmen der CMOS-Technologie für ein möglichst großes Spektrum von Grabenformen (verschiedene Aspektverhältnisse und unterschiedliche Winkel der Grabenwände als V- und A-Form), die aber zur Scheibenoberfläche hin hermetisch dicht verschlossen sein sollen.

Der Erfindung **liegt die Aufgabe zu Grunde**, ein Verfahren anzugeben, das zur Auskleidung (Füllung) von Isolationsgräben in einer Siliziumscheibe nur Verfahrensschritte der CMOS-Standardtechnologie benutzt. Die dabei zwangsläufig entstehenden Hohlräume im Isoliergraben sind vorteilhaft, da durch sie Stress vermieden werden kann.

Gelöst wird diese Aufgabe mit den im Anspruch 1 oder 13 oder 15 angegebenen Merkmalen. Auch das Produkt ist beansprucht, unabhängig vom Herstellverfahren, gleichwohl definiert durch dieses. Das Verfahren wird so gestaltet, dass der Verschlusspunkt der Hohlräume zur Scheibenoberfläche hin so tief unter die Scheibenoberfläche gelegt wird, dass bei nachfolgenden Prozessschritten ein Öffnen der Hohlräume sicher verhindert wird.

Das Verfahren des Anspruchs 1 weist die Vorteile auf, dass der Punkt (eigentlich eine Linie in Längsrichtung des Grabens), an welchem ein Resthohlraum im Isoliergraben hermetisch dicht verschlossen wird (Verschlusspunkt), vorbestimmt werden kann, wobei die bei anderen Verfahren störende Tatsache ausgenutzt wird, dass sich das SiO_2 in der Nähe von Kanten (Übergänge von zur Oberfläche parallelen Flächen zu Flächen mit vertikalem Anteil: Grabenflanken) stärker abscheidet, d.h. die Dicke der abgeschiedenen SiO_2 -Schicht mit der Isoliergrabentiefe abnimmt, wodurch sich die größte Verengung des Grabens stets in der Nähe der Kante ausbildet.

Da sich die Verengung nahezu unabhängig von der Grabertiefe (Aspektverhältnis) und nahezu unabhängig vom Winkel der Grabenwände in der Nähe der Siliziumoberfläche ausbildet, wird damit erfindungsgemäß auch die Lage (Tiefe) des Verschlusspunktes unabhängig von der Grabengeometrie definiert realisierbar (Anspruch 13).

Daher ist dieses Verfüllverfahren sehr allgemein einsetzbar.

Die Abscheide- und Ätzbedingungen werden selbstverständlich an die jeweilige Grabengeometrie angepaßt werden. Das Verfahren arbeitet nur mit SiO_2 -Abscheidungen und es sichert, dass oberhalb des Verschlusspunktes keine neuen Hohlräume mehr entstehen können.

Vorteilhafte Ausgestaltungen des Anspruchs 1 oder 15 sind in den abhängigen Ansprüchen angegeben.

Die Erfindung wird anhand von Ausführungs**beispielen** mit zwei Halbleiterscheiben unter Zuhilfenahme der Zeichnung erläutert und ergänzt.

Figur 1a,

Figur 1b eine Darstellung eines zu verfüllenden Grabens 2 nach einer nicht dargestellten Grabenätzung im Silizium 1 und nach Entfernung einer Lack- oder oxidischen Ätzmaske für die Grabenätzung von zwei unterschiedlichen Oberflächen der Halbleiterscheiben A1,A2.

Figur 2a,

Figur 2b eine Darstellung des teilweise verfüllten Grabens 2,9 nach der ersten Verfüllung mit Siliziumdioxid. In allen Figuren ist eine Mittelebene 100 der Gräben 2 eingezeichnet.

Figur 3a,

Figur 3b eine Darstellung des teilweise verfüllten Grabens nach dem anisotropen Ätzen des Siliziumdioxids.

Figur 4a,

Figur 4b das Ergebnis nach einer zweiten Grabenverfüllung mit einem hermetisch dichten Verschluss 14.

Figuren 1a und 1b zeigen den im Silizium 1 als Beispiel einer (aktiven) Halbleiterschicht geätzten Graben 2 nach Entfernen einer Lack- oder oxidischen Ätzmaske. Das heißt, dass eine Siliziumoberfläche 3 bzw. eine Polysiliziumoberfläche 4 oxidfrei sind. In Figur 1b liegt unter der Schicht 6 aus Polysilizium zumindest eine Oxidschicht 5, was erst bei späteren Prozess-Schritten nach der Grabenverfüllung von Bedeutung ist.

In Figuren 1 sollen die Bauelemente und Abschnitte der dargestellten beiden verschiedenen Siliziumscheiben A1,A2 kurz vorgestellt werden. Das Silizium 1 ist eine aktive Halbleiterschicht, die bei SOI-Wafern oberhalb eines vergrabenen horizontalen Oxids und einer darunter liegenden Trägerschicht angeordnet ist. In sie wird der beschriebene zumindest eine Graben 2 eingebracht, dessen Längserstreckung in Tiefenrichtung des Papiers verläuft und der hier Repräsentant für eine Vielzahl solcher Gräben ist, die dielektrisch isolieren. Diese Trenngräben werden auch Isoliergräben genannt und dienen zur "elektrischen Trennung" von Gebieten, was heißen soll, dass Strom über diese isolierenden Gräben nicht im störenden Umfang, am besten gar nicht fließen darf. Sie bilden eine dielektrische Barriere zwischen unterschiedlichen Potentialen und erlauben so den möglichen Aufbau einer Spannung zwischen der

linken Seitenwand des Grabens 2, die mit 1a' benannt ist und der rechten Grabenwand 1a". Die Grabentiefe ist nicht explizit dargestellt. Sie können tief sein bei Aspektverhältnissen von mehr als 15:1. Es ist lediglich ein Ausschnitt gezeigt, auf den sich die hier beschriebenen Beispiele im Bereich der oberen Grabenkanten und eines oberen Abschnitts dieser Gräben bezieht und hier in der Beschreibung betont werden soll, als oberer Grabenbereich. Auch nicht spezifisch dargestellt sind Bauelemente oder solche Strukturen, die allgemein mit B bezeichnet werden sollen und sich in der aktiven Halbleiterschicht 1 befinden oder später dorthinein prozessiert werden.

Unter einer solchen Siliziumschicht sind alle Arten von aktiven Halbleiterschichten zu verstehen, unabhängig davon, aus welchem Werkstoff sie sind. Sie sind alle als Halbleiterschichten gemeint, hier bevorzugt ein Silizium bei einem SOI-Wafer, der als Silicon-On-Insulator Namensgeber für die aktive Halbleiterschicht ist.

Obere Grabenkanten des Grabens 2 sind in **Figur 2a** ersichtlich. Dort endet die linke Grabenwand an ihrer oberen Kante 2a' und die rechte Grabenwand 1a" mit der rechten oberen Grabenkante 2a".

In **Figuren 2a und 2b** ist schematisch eine Siliziumdioxidschicht 7 dargestellt, die sowohl auf der Oberfläche als auch an den Seitenwänden 1a', 1a" abgeschieden wurde, hier bilden sich Abschnitte 7', 7". Dabei zeigt sich eine Einengung 8, die für weitere Verfüllungen ungeeignet oberhalb der Siliziumoberfläche 3 liegt. Der teilweise verfüllte Graben 9 (Restgraben) ist noch nicht verschlossen und der noch freie Raum in ihm verbreitert sich nach unten hin.

Figuren 3a und 3b zeigen eine schematische Darstellung des Ergebnisses einer anisotropen Ätzung des Siliziumdioxids 7, die mit hoher Selektivität gegenüber dem Silizium 1 erfolgt. Die anisotrope Ätzung trägt das Siliziumdioxid 7 bevorzugt in senkrechter Richtung zur Oberfläche ab. Hinter- oder unterschrittene Bereiche 9a werden am wenigsten geätzt. Daher bleiben die Reste 7a der Verfüllung an den Seitenwänden 1a', 1a" in skizzierter Weise stehen und bilden nunmehr eine Engstelle 8a, die unterhalb der Siliziumoberfläche 3a bzw. Polysiliziumoberfläche 4a liegt. Die Engstelle 8a ist abwärts gegenüber der vorherigen Engstelle 8 verlagert. Das jeweilige Maß a7, a8 verdeutlicht das in beiden Verfahren.

Es entsteht dadurch eine Stufe von dem oberen Ende der verbliebenen Schichten 7a zur Oberfläche 3a oder 4a. Dies kann mit einer "Oxidabsenkung im Graben" verglichen werden.

Es wird erneut SiO_2 , bevorzugt in einem CVD Niederdruckverfahren abgeschieden und eine Verschluss-Schicht 10 im und auf dem zumindest einen Graben 2 gebildet. Die Schicht 10 erstreckt sich über die Restschichten 7a, die beidseitigen Stufen und auf die horizontalen Oberflächen außerhalb des Grabens.

Figuren 4a und 4b zeigen schematisch das Ergebnis nach der abgeschlossenen Grabenverfüllung mit Siliziumdioxid 10. Der Verschlusspunkt 12 liegt (deutlich) tiefer als die Siliziumoberfläche 3b bzw. Polysiliziumoberfläche 4b. Dagegen befindet sich die Kerbenspitze 13 im verfüllten Bereich deutlich höher als die Siliziumoberfläche 3b bzw. Polysiliziumoberfläche 4b, was für eine nachfolgende Planarisierung von Bedeutung ist. Dies wird durch den Abstand "c" symbolisiert. Ein Planarisieren kann den verschlossenen Hohlraum 11 nicht mehr öffnen. Abstand c sichert vor einem solchen unerwünschten Öffnen, ebenso hilft hierbei das Absenken.

Der verbleibende Hohlraum 11 ist hermetisch von der Oberfläche abgedichtet und enthält kein Gas, da ein Niederdruckverfahren, insbesondere als ein CVD Niederdruckverfahren zur Siliziumdioxid-Abscheidung verwendet wurde. Die Dichtungsstelle 14 weist keine weiteren Hohlräume auf, da die Geometrie (Grabenbreite, Absenkungstiefe des Verschlusspunktes 12) definiert gewählt wird.

Die Ausfüllung im ersten Verfüllschritt ist "auf die Grabengeometrie angepasst", bzw. so gesteuert. Diese Siliziumdioxid-Abscheidung 7 mit den horizontalen Abschnitten beidseits des Grabens und den vertikalen Abschnitten 7', 7" im Graben ist auf die Grabengeometrie angepasst, welche die oberen Eckbereiche besitzt und nahezu vertikale Wände in Tiefenrichtung des Grabens sowie nahezu eine horizontale Oberfläche der aktiven Halbleiterschicht 1. Aufgrund der Grabengeometrie bildet sich durch diese erste Abscheidung die Verdickung der aufgetragenen Innenschichten (im Graben), wobei die linke Schicht und die rechte Schicht im Bereich (im Höhenbereich) der Grabenkanten 2a', 2a" stärker oder intensiver aufwachsen und damit eine entstehende Verengung 8 bilden, die als Engstelle eine geringere Breite besitzt als der in Tiefenrichtung des Grabens breiter werdende freie Raum 9 als "Restgraben".

Da die Verengung nahezu unabhängig von der Grabentiefe ist, also dem Aspektverhältnis, und nahezu unabhängig vom Winkel der Grabenwände in der Nähe der Siliziumoberfläche, wird die Lage eines später zu bildenden Verschlusspunktes unabhängig von der Grabengeometrie realisiert. Die auf die Grabengeometrie angepasste, gesteuerte Siliziumdioxid-Abscheidung meint also die Abscheidung, die auf die abgebildete Grabengeometrie angepasst ist; die Engstelle 8 ergibt sich dabei von

selbst, auch und gerade bei nahezu vertikalen Grabenwänden 1a', 1a". Hier wird der Effekt ausgenutzt, dass sich in der Nähe der genannten Kanten (bei Übergängen von zur Oberfläche parallelen Flächen zu solchen Flächen mit vertikalem Anteil, hier den gesamten nach innen weisenden Seitenflächen oder Innenflächen der Gräben) das Siliziumoxid stärker abscheidet. Die Verjüngung des Zugangs zum verbleibenden Hohlraum 9, respektive die größte Verengung 8 des Grabens ergibt sich dabei in der Nähe der Kanten und wird nicht vermieden, sondern ausgenutzt.

Die SOI-Scheibe kann so strukturiert werden, dass in ihrer oberhalb der Oxidschicht befindlichen Halbleiterschicht auch mikroelektromechanische Systeme (MEMS) vorhanden sind, die nicht gesondert dargestellt sind.

Der zweite Schritt der Abtragung der SiO₂-Schicht, der anhand der Figuren 3 erläutert wurde, soll nochmals verdeutlicht werden, um den Verschlusspunkt 12 zu erläutern, der in den Figuren 4 unterhalb der jeweiligen Oberfläche 3b, 4b in dem jeweiligen Ausführungsbeispiel liegt.

Die als Beispiel gewählte anisotrope RIE-Ätzung der Oxidschicht 7 in den Figuren 2 führt in zwei symbolisch gesprochenen Teilschritten zunächst zum Abtragen des horizontalen Schichtanteils, wie das in den Figuren 3 verdeutlicht ist. Dieses ist der "erste Teilschritt" bis zur Entfernung der Siliziumdioxid-Schicht auf der Scheibenoberfläche.

Von da an folgt der symbolische "zweite Teilschritt". Hier wird auch ein Stück der an den vertikalen Grabenwänden 1a', 1a" vorhandenen Siliziumdioxid-Schichten 7a abgetragen und die Engstelle 8 nach unten verlagert. Im oberen Grabenbereich wird damit die Oxidschicht bis in eine definierte Tiefe abgetragen, wie mit a7 für Figur 3 und mit a8 für Figur 3b verdeutlicht. Durch diese Abtragung und die Verlagerung der Engstelle in die Tiefe wird der spätere Verschlusspunkt vorbestimmt, der dann in den Figuren 4 durch nochmalige Abscheidung 10 von Siliziumoxid tatsächlich gebildet wird. Er liegt im Bereich der nach unten verlagerten Engstelle 8a, woraus nach dem nochmaligen Abscheiden der obere Verschlusspunkt 12 respektive das obere Ende des verschlossenen Hohlraums 11 entsteht. Das ist gleichzeitig das untere Ende der Stelle 14 der hermetischen Abdichtung.

* * * * *

Bezugszeichen

(gleiche Bezeichnungen für gleiche Elemente in unterschiedlichen Figuren)

- 1: Silizium
- 2: geätzter Graben im Silizium,
- 3: Siliziumoberfläche nach Entfernen der Ätzmaske
- 3a: Siliziumoberfläche nach Entfernen des ersten Verfülloxides
- 3b: Siliziumoberfläche, abgedeckt durch das zweite Verfülloxid
- 4: Poly- Siliziumoberfläche nach Entfernen der Ätzmaske
- 4a: Poly- Siliziumoberfläche nach Entfernen des ersten Verfülloxides
- 4b: Poly- Siliziumoberfläche, abgedeckt durch das zweite Verfülloxid
- 5 Oxidschicht
- 6 Polysiliziumschicht
- 7 Oxidschicht nach erstem Verfüllen des Grabens
- 7a: Oxidschicht nach Rückätzen des ersten Füll Oxides
- 8 Schmalste Stelle, liegt höher als das Niveau der Siliziumoberfläche
- 8a: Schmalste Stelle nach Rückätzen des ersten Füll Oxides
- 9 Teilweise verfüllter Graben während des technologischen Ablaufs
- 10: Oxidschicht nach zweitem Verfüllen des Grabens
- 11: Verbleibender Hohlraum
- 12: Verschlusspunkt tiefer als das Niveau der Siliziumoberfläche
- 13: Spitze der Einkerbung der zweiten Oxidverfüllung
- 14: Stelle der hermetischen Abdichtung

Ansprüche

1. **Verfahren zur Herstellung** von zumindest einem, bevorzugt mehrerer dielektrisch isolierender Trenngräben (2), insbesondere als Isoliergräben, zur (di-elektrischen) Trennung von Gebieten unterschiedlicher Potentiale von insbesondere Bauelementstrukturen (B) auf einer SOI-Scheibe (A1,A2) mit einer aktiven Halbleiterschicht, unter Zulassung von - durch eine Isolatorfüllung des zumindest einen Trenngrabens innerhalb desselben gebildeten - zumindest einem Hohlraum (11) bei einem hermetisch dichtem Verschluss (14) des oder der Hohlräume zur Halbleiter-Scheibenoberfläche hin, mit einer **nach** einer Herstellung des zumindest einen Grabens (2) nachfolgende Reihe von CMOS-Verfahrensschritten, mit einem ersten Füllschritt als einer auf die Grabengeometrie angepassten gesteuerten Oxid- insbesondere SiO_2 -Abscheidung (7;7',7''), vorzugsweise mit einem CVD-Verfahren, wobei an Grabenwänden sich in Richtung zu oberen Grabenkanten (2a',2'') verdickende Oxid- insbesondere SiO_2 -Schichten (7',7'') gebildet werden, unter Ausbildung einer ersten Engstelle (8).
2. Verfahren zur Herstellung von zumindest einem, bevorzugt mehrerer dielektrisch isolierender Trenngräben (2), bevorzugt nach Anspruch 1, mit einer (folgenden) anisotropen RIE-Ätzung der Oxidschicht (7) in einem ersten Schritt bis zur Entfernung der Oxid- insbesondere SiO_2 -Schicht auf der Scheibenoberfläche und von da an in einem zweiten Schritt fortgesetzt, zur Entfernung der Oxidschicht im oberen Grabenbereich bis in eine definierte Tiefe (a7,a8), zur Vorgabe einer späteren Verschlussstelle des Hohlraumes (11) oder zur Abwärtsverlagerung der ersten Engstelle zu einer weiteren Engstelle (8a).
3. Verfahren zur Herstellung von zumindest einem, bevorzugt mehrerer dielektrisch isolierender Trenngräben (2), bevorzugt nach Anspruch 1 oder 2, mit einer (folgenden) zweiten Oxid- insbesondere SiO_2 -Abscheidung durch ein CVD-Niederdruckverfahren, wobei sich in der Nähe einer gebildeten Stufe und/oder der verlagerten Engstelle (8a) wieder bevorzugt Oxid absetzt, was dann zum Verschluss (14) eines sich darunter befindlichen Hohlraumes (11) führt, wobei der Prozess abgeschlossen wird, wenn die geschlossene Stelle (14) der Oxidschicht über dem Hohlraum (11) bis über eine Scheibenebene (3b,4b) der Halbleiterschicht (1) hinausgewachsen ist.

4. Verfahren nach Anspruch 1 oder 3 und 2, wobei nach der Grabenschließung (Verfüllung) eine Planarisierung der Scheibenoberfläche vorgenommen und eine technologische Schrittfolge fortgesetzt wird.
5. Verfahren nach Anspruch 2, wobei das Rückätzen der ersten Grabenverfüllung (7) im Gebiet außerhalb des Grabens auf einer Polysiliziumschicht (6) endet, die zuvor auf einer Siliziumdioxidschicht (5) oder einer Mehrfachisolatorschicht aufgebracht wurde.
6. Verfahren nach Anspruch 1 oder 3, wobei bei der ersten und der zweiten SiO₂-Abscheidung das gleiche Verfahren eingesetzt wird.
7. Verfahren nach Anspruch 1 oder 3, wobei bei der ersten und der zweiten SiO₂-Abscheidung verschiedene Verfahren, eingesetzt werden, insbesondere für eine gute oder weniger gute isotrope Isolatorabscheidung.
8. Verfahren nach Anspruch 1, wobei dieses bei einer SOI-Scheibe Anwendung findet, in deren oberhalb der Oxidschicht befindlichen Halbleiterschicht (1) auch mikroelektromechanische Systeme (MEMS) vorhanden sind.
9. Verfahren nach Anspruch 1, wobei der zumindest eine Graben ein hohes Aspektverhältnis besitzt, insbesondere oberhalb von 15:1.
10. Verfahren nach Anspruch 1 oder 3, wobei der gebildete, verschlossene, zumindest eine Hohlraum (11) unterhalb eines Niveaus der Oberfläche (3b,4b) der aktiven Halbleiterschicht (1) liegt.
11. Verfahren nach Anspruch 1, wobei eine Oberfläche des verschlossenen Grabens planarisiert wird.
12. offen.

13. **Prozessierte SOI-Scheibe** mit zumindest einem Isoliergraben (2), der einen verschlossenen Hohlraum (11) aufweist, dessen oberes Ende (12) unterhalb einer Oberfläche (4b,3b) einer aktiven Halbleiterschicht (1) der SOI Scheibe endet, herstellbar oder hergestellt nach einem der Ansprüche 1 bis 12.
14. SOI-Scheibe nach vorigem Anspruch, wobei eine sich nach unten erstreckende Kerbenspitze (13) oberhalb des verschlossenen Grabens (2,9,10) in einem vertikalen Abstand (c) oberhalb eines (horizontalen) Niveaus der Oberfläche (3b,4b) der aktiven Halbleiterschicht endet.
15. **Verfahren** zur Füllung von Trenngräben (2) mit einem großen Aspektverhältnis zur dielektrischen Trennung von Gebieten unterschiedlicher Potentiale von Bauelementstrukturen auf einer SOI-Scheibe jeweils unter Ausbildung eines durch die Isolatorfüllung des jeweiligen Trenngrabens innerhalb desselben gebildeten Hohlraums (11) mit einem hermetisch dichten Verschuß des Hohlraumes unterhalb eines Niveaus der Halbleiterscheibenoberfläche (4b,3a,3b) und eine an die Füllung des Grabens mit dem belassenen Hohlraum (11) anschließende Planarisierung, und mit einer nach einer Herstellung des Grabens nachfolgenden Reihe von CMOS-Verfahrensschritten:
- Herstellung von in Richtung zu den oberen Grabenkanten hin sich verdickenden SiO₂-Schichten (7;7",7') mit einem ersten CVD-Verfahren,
 - vollständige Entfernung ~~von~~ ^{von} SiO₂-Schichtabschnitte im oberen Grabenbereich bis in eine definierte Tiefe, um einen späteren Verschlusspunkt (12) des Hohlraums (11) zu bestimmen, durch eine im wesentliche anisotrope Ätzung, wobei insbesondere eine Stufe bei einer dann schmalsten Stelle (8a) im Graben (2,9) entsteht,
 - Schließen eines jeweiligen Hohlraums (11) und Auffüllen des jeweiligen Grabens durch Abscheidung einer zweiten SiO₂-Schicht (10) mit einem Niederdruck-CVD-Verfahren so weit, dass eine Spitze einer Einkerbung (13) der gebildeten zweiten Oxidschicht über (c) dem Niveau der Halbleiterscheibenoberfläche (4b,3a,3b) zu liegen kommt.

16. Verfahren nach Anspruch 15, wobei das Rückätzen der ersten Grabenverfüllung - als das vollständige Entfernen der SiO_2 -Schichtabschnitte im oberen Grabenbereich bis in die definierte Tiefe - im Gebiet außerhalb des Grabens auf einer Polysiliziumschicht endet, die auf zumindest einer Siliziumoxidschicht aufgebracht wurde.
17. Verfahren nach Anspruch 15, wobei bei der ersten und der zweiten SiO_2 -Abscheidung das gleiche Verfahren eingesetzt wird.
18. Verfahren nach Anspruch 15, wobei bei der ersten und der zweiten SiO_2 -Abscheidung verschiedene Verfahren eingesetzt werden.
19. Verfahren nach Anspruch 15, wobei dieses auch für SOI-Scheiben Anwendung findet, in deren oberhalb der Oxidschicht befindlichen Halbleiterschicht auch mikroelektromechanische Systeme (MEMS) vorhanden sind.

* * *